

METHOD OF CORRECTING DEAD TIME OF HIGH FREQUENCY LINK DC/AC CONVERTER

Publication number: JP8228488

Publication date: 1996-09-03

Inventor: UEMATSU TAKESHI; TOTSUKA ATSUSHI

Applicant: NIPPON ELECTRIC IND

Classification:

- International: H02M5/27; H02M7/48; H02M7/48; H02M5/02; (IPC1-7):
H02M7/48; H02M5/27

- European:

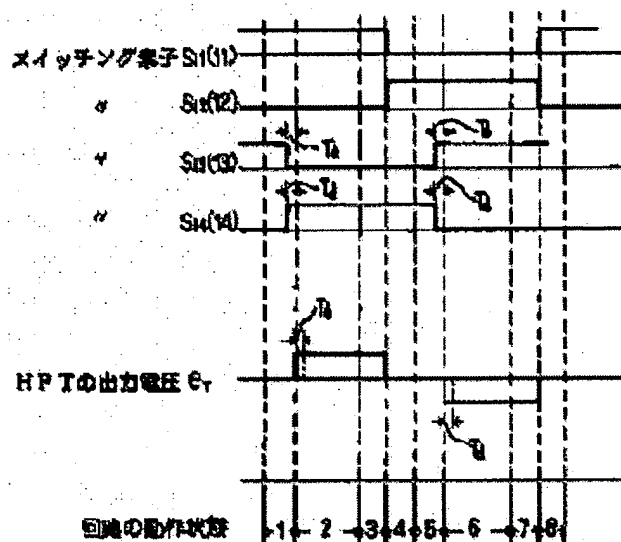
Application number: JP19950056557 19950221

Priority number(s): JP19950056557 19950221

Report a data error here

Abstract of JP8228488

PURPOSE: To suppress the distortion of output voltage waveform of a high frequency transformer by quickening the timing of the switching operation of two switching elements, which perform switching with their phases slid from a group of switches, by the period equivalent to the dead time. **CONSTITUTION:** In a switching sequence which generates high-frequency power by alternately turning on and off switching elements 11 and 12 constituting an inverter part, and alternately turning on and off, switching elements 13 and 14 performing switching, with their phases slid from this switching element group, the switching operation of the switching elements 13 and 14 are quickened by the period equivalent to the dead time T_d . For this account, the output voltage e_r of a high frequency transformer is corrected into waveform where the low-order high frequency is reduced. Hereby, the distortion of the output voltage waveform of the high frequency transformer can be suppressed.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-228488

(43)公開日 平成8年(1996)9月3日

| (51)Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|---------|--------------|--------|
| H 0 2 M 7/48 | | 9181-5H | H 0 2 M 7/48 | U |
| 5/27 | | | 5/27 | H |

審査請求 未請求 請求項の数1 F D (全 6 頁)

(21)出願番号 特願平7-56557

(22)出願日 平成7年(1995)2月21日

(71)出願人 000004248

日本電気精器株式会社

東京都墨田区堤通一丁目19番9号

(72)発明者 上松 武

東京都墨田区堤通1丁目19番9号 日本電
気精器株式会社内

(72)発明者 戸塚 厚志

東京都墨田区堤通1丁目19番9号 日本電
気精器株式会社内

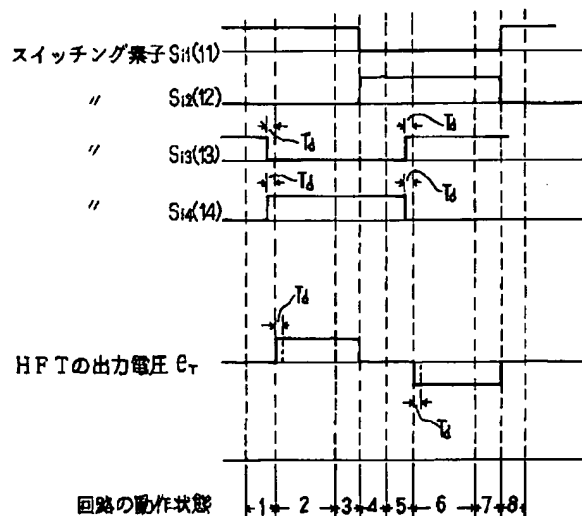
(74)代理人 弁理士 増田 竹夫

(54)【発明の名称】 高周波リンクDC/ACコンバータのデッドタイム補正法

(57)【要約】

【目的】 出力電圧波形の歪みを抑制する。

【構成】 インバータ部3、高周波トランス4、サイクロコンバータ部5、交流フィルタ6より成る高周波リンクDC/ACコンバータにおいて、インバータ部3を構成するスイッチング素子13と14のオン・オフ制御をデッドタイム分だけ早めて制御するようにして、出力電圧の歪みを抑制する。



1

【特許請求の範囲】

【請求項1】 直流電力を入力して高周波電力に変換する単相ブリッジ接続したスイッチング素子より成るインバータ部と、前記インバータ部から入力した高周波電力を変圧してサイクロコンバータ部へ出力する高周波トランスと、前記高周波トランスを介して入力した高周波電力を商用周波電力に変換する両方向スイッチング素子を3相ブリッジ接続したサイクロコンバータ部と、前記サイクロコンバータ部の出力回路に設けたリアクタとコンデンサより成る交流フィルタとによって構成した高周波

リンクDC/ACコンバータにおいて、前記インバータ部を構成するスイッチング素子(11)と(12)を交互にオン・オフ制御すると共に、前記スイッチング素子群と位相をずらしてスイッチングを行うスイッチング素子(13)と(14)を交互にオン・オフ制御して高周波電力を生成するスイッチング・シーケンスにおいて、前記スイッチング素子(13)と(14)のスイッチング動作をデッドタイムに相当する期間だけタイミングを早めるように制御することを特徴とする高周波リンクDC/ACコンバータのデッドタイム補

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、モータドライブ、UPS(Uninterruptible Power Supply)等に用いられるサイクロコンバータによる高周波リンクDC/ACコンバータの制御方法に関するものである。

【0002】

【従来の技術】サイクロコンバータによる高周波リンクDC/ACコンバータの回路構成は図8に示すブロック図の通りである。図8において、直流電源1からの直流は並列コンデンサ2を介して4つのスイッチング素子11と12および13と14を単相ブリッジ接続して構成したインバータ部3に入力し、高周波電力に変換される。インバータ部3の出力する高周波電力は高周波トランス4に入力して変圧され、サイクロコンバータ部5に入力する。両方向スイッチング素子21と22、23と24、25と26を3相ブリッジ接続して構成したサイクロコンバータ部5は、高周波トランス4を介して入力した高周波電力を商用周波電力に変換し、リアクタとコン

デンサより成る交流フィルタ6を介して商用周波数の交流電力を出力する。

【0003】サイクロコンバータによる高周波リンクDC/ACコンバータは小形化が容易であるという特徴を有している反面、電力変換段数が多いために低効率であるという欠点を持っている。このため、インバータ部3の動作はサイクロコンバータ部5のスイッチング損失の低減を図るために3レベルで動作させ、高周波トランス4の2次電圧が零のときにサイクロコンバータ部5の転

2

およびサイクロコンバータ部5を構成するそれぞれのスイッチング素子の動作シーケンスは、スイッチング回数の低減を目的とした瞬時空間ベクトル制御の考え方を応用したものであり、出力電圧と出力電流との出力波形に基づいて18の動作モードに分割され、図4に示す通りである。上述した動作モードのうち、動作モード1と2の場合における動作シーケンスを例にとると、その動作シーケンスは図3に示す通りであり、この動作モードにおけるサイクロコンバータ部5から出力する相電圧は $e_v > e_r > 0$, $e_v < 0$ である。出力すべき相電圧の大小関係により、最大の相電圧 e_v 、および最小の相電圧 e_r をのこぎり波キャリアと比較することによって決まるゲート信号に基づいて、インバータ部3のスイッチング・シーケンスが与えられる。即ち、スイッチング素子11と12、およびスイッチング素子13と14は、それぞれ異なったスイッチングシーケンスにより交互にオン・オフ制御される。また、それぞれの相に相当するサイクロコンバータ部5のアームV相とW相は前記キャリアと同期してスイッチングを行い、残りのアームU相はキャリアと比較された結果のままにスイッチングを行う。サイクロコンバータ部5の両方向スイッチング素子21、23、25における上段のスイッチング素子 S_u 、 S_v 、 S_w のスイッチング・シーケンスは図3に示す通りであり、それぞれの線間電圧 e_{uv} 、 e_{vw} 、 e_{wu} は3レベルの電圧となることが判る。このとき、コンバータ部3とサイクロコンバータ部5の動作状態は8通りに分けられ、各状態における等価回路図は図5と図6に示す通りである。

【0004】

【発明が解決しようとする課題】図2に示すように、インバータ部3の各アームにおけるスイッチング素子11と12および13と14は異なるスイッチング・シーケンスにより交互にオン・オフ制御される。即ち、スイッチング素子11と12におけるオン・オフの切換動作は動作状態3と4および7と8において行なわれ、スイッチング素子13と14の場合には動作状態1と2および5と6において行なわれている。図5と図6から明らかなように、動作状態1におけるインバータ部3の閉ループにはスイッチング素子13の並列ダイオードを含んでいるので、動作状態2への切換えにはタイムラグが生ずる。一方、動作状態3におけるインバータ部3の閉ループはスイッチング素子11と14のオンによるものであるから動作状態4への切換えにはタイムラグは生じない。同様にして動作状態7から8への切換えにはタイムラグは発生せず、動作状態5と6の切換えにはタイムラグが生ずる。この結果、高周波トランス4の出力電圧 e_r はデッドタイム T_d だけ欠けた電圧となり、図2に示す通りである。このために、出力電圧波形は図7(a)に示すように波形歪みが生じる。

【課題を解決するための手段】この発明による高周波リンクDC/ACコンバータのデッドタイム補正法は、上述した従来技術によるゲート信号生成方法の欠点を解消するためになされたものであって、インバータ部3を構成するスイッチング素子13と14のスイッチング動作のタイミングを、デッドタイム T_d だけそれぞれ早めるようにしたものである。

【0006】

【作用】図1に示すように、スイッチング素子13と14のオン・オフ動作の切換えをデッドタイム T_d だけ早くすると、高周波トランス4の出力電圧 e_r の波形は図1に示すようになり、出力電圧波形は図7(b)に示すように歪みが低減された波形となる。

【0007】

【実施例】以下、この発明による高周波リンクDC/ACコンバータのデッドタイム補正法の実施例を図面を参照しながら説明する。図8はサイクロコンバータによる高周波リンクDC/ACコンバータの回路構成を示すブロック図であり、インバータ部3、高周波トランス4、サイクロコンバータ部5、交流フィルタ6によって構成されており、従来技術のものと同一であるので説明は省略する。

【0008】次に、インバータ部3およびサイクロコンバータ部5を構成するスイッチング素子の動作シーケンスについて説明する。図3において、サイクロコンバータ部の出力電圧 e_u 、 e_v 、 e_w および出力電流 i_u 、 i_v 、 i_w によって決まる18の動作モードのうち、動作モード1と2の場合を例にとると、 $e_v > e_u > 0$ および $e_w > 0$ であり、 $i_v > 0$ かつ $i_u < 0$ である。のこぎり波キャリアと出力電圧の最大値 e_v および最小値 e_u とを比較して、インバータ部3のスイッチング素子11と12および13と14のゲート信号を生成し、スイッチングを行うと図3に示すスイッチング・シーケンスが得られる。

【0009】動作状態2においてスイッチング素子11と14を含む閉ループが形成されることによって高周波トランス4の出力電圧 e_r が生成され、動作状態3の期間継続される。また、動作状態6においてスイッチング素子12と13を含む閉ループが形成されることによって高周波トランス4の出力電圧は $-e_r$ となり、動作状態7の期間継続される。また、サイクロコンバータ部5を構成する両方向スイッチング素子21、23、25における上段のスイッチング素子 S_u 、 S_v 、 S_w のスイッチング・シーケンスは図3に示す通りであり、V相とW相の2つの相アームはゼロ電圧スイッチング(ZVS)となる。よってスイッチング損失を生じるのはU相のアームだけであるから、スイッチング損失は低減されることになる。

【0010】図2はインバータ部3におけるスイッチン

のシーケンスおよび各スイッチング素子に印加する電圧を示しており、スイッチング素子13と14に対する印加電圧は図5と図6に示す等価回路図によって説明したように、デッドタイム T_d だけ遅れている。このため高周波トランス4の出力電圧 e_r もデッドタイム T_d だけ欠けている波形となる。この波形改善を行うためにはスイッチング素子13と14のスイッチング動作をそれぞれデッドタイム T_d だけ早めてやるとよく、高周波トランス4の出力電圧 e_r は図1に示すように補正される。この結果、出力電圧波形は図7(a)に示すように低次高調波が低減された波形となる。

【0011】インバータ部3を構成するスイッチング素子11と12および13と14をオン・オフ制御するゲート信号の生成方法は、ディスクリートなIC等によってゲート信号生成回路を形成してもよく、また、制御系を構成するCPUにゲート信号生成プログラムを記憶させるようにしてもよく、公知技術を用いて容易に実現できるので説明は省略する。

【0012】

【発明の効果】以上説明したように、この発明による高周波リンクDC/ACコンバータのデッドタイム補正法は、インバータ部を構成するスイッチング素子のうちスイッチング素子13と14のスイッチング動作のタイミングをデッドタイムに相当する期間だけ早めるようにしたものである。このデッドタイム補正法によって高周波トランスの出力電圧波形の歪みを抑制することができる。

【図面の簡単な説明】

【図1】この発明に基づくインバータ部のスイッチング・シーケンス。

【図2】従来のインバータ部のスイッチング・シーケンス。

【図3】従来のインバータ部とコンバータ部のスイッチング・シーケンス。

【図4】サイクロコンバータ部の動作モード。

【図5】等価回路図。

【図6】等価回路図。

【図7】出力電圧の波形図。

【図8】高周波リンクDC/ACコンバータのブロック図。

【符号の説明】

1 直流電源

2 コンデンサ

3 インバータ部

4 高周波トランス

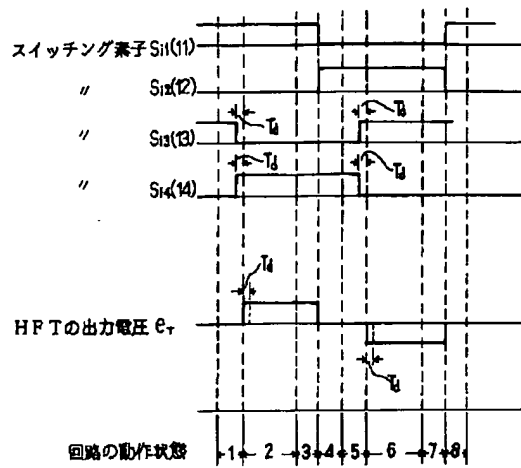
5 サイクロコンバータ部

6 交流フィルタ

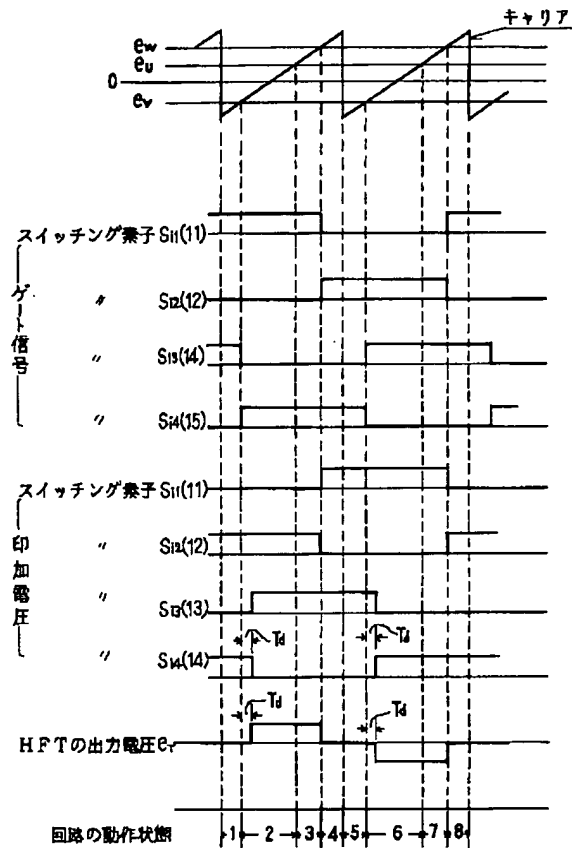
11, 12, 13, 14 スwitchング素子

21, 22, 23, 24, 25, 26 両方向スイッチ

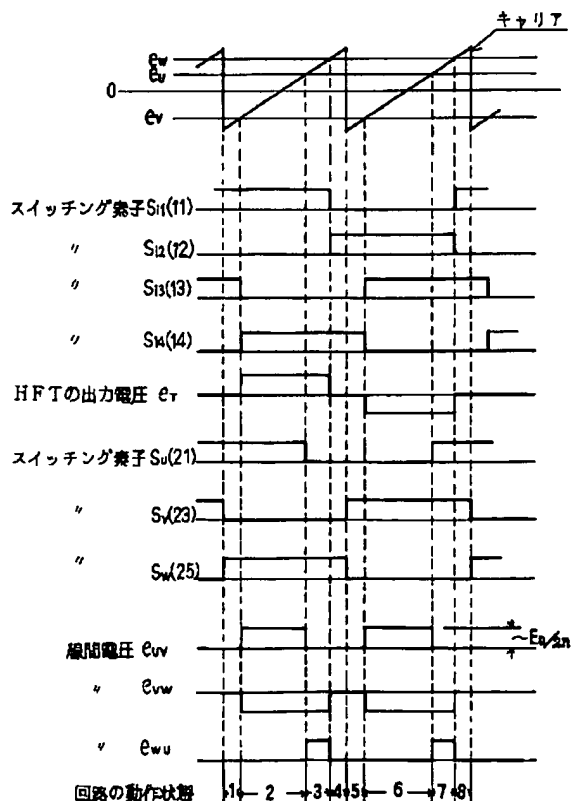
【図 1】



【図 2】

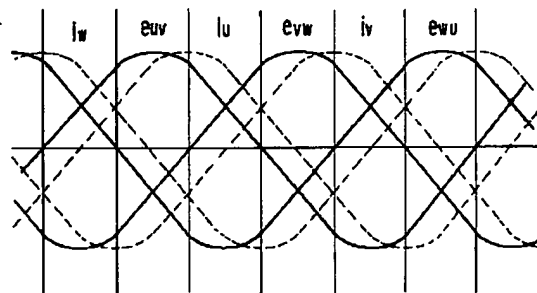


【図 3】

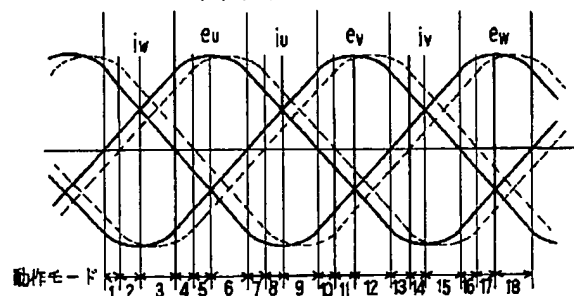


【図 4】

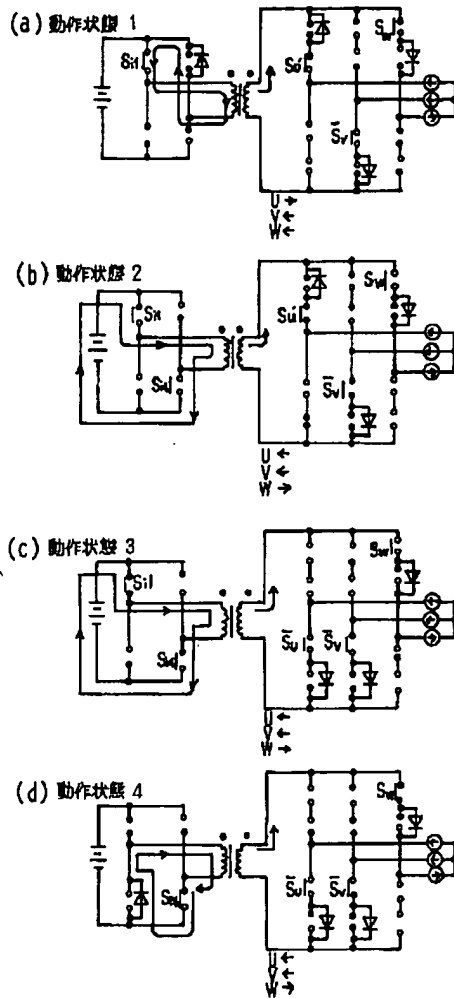
(a) 線間電圧



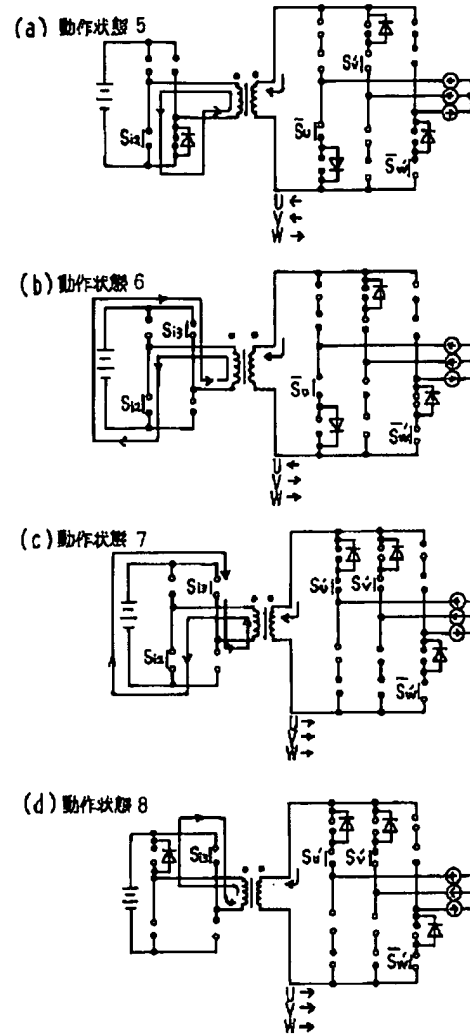
(b) 相電圧



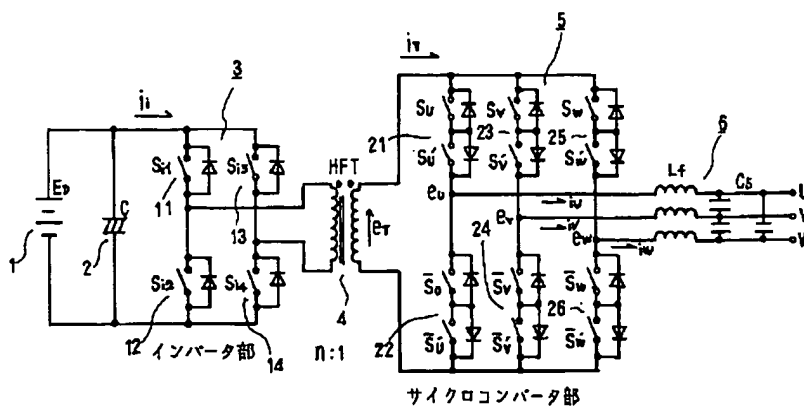
【図5】



【図6】

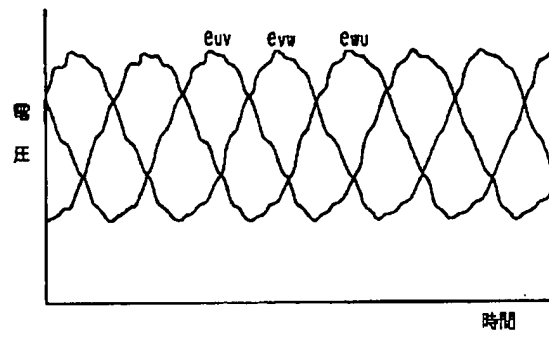


【図8】



【図7】

(a)



(b)

